**CHƯƠNG 7 - TỔ CHỨC MÁY TÍNH**

1. Thuật ngữ: CPU, RAM, transistor.
2. Định luật Moore: transistor tăng gấp đôi sau **18 tháng**.
3. Kiến trúc máy tính Von Neumann = thiết bị nhập/xuất + CPU + Bộ nhớ chính + Liên kết hệ thống(bus)
4. Thành phần của CPU: + - \* / == … ALU (tính toán số học & logic); CU (điều khiển)
5. Chu trình lệnh (5): nạp/lấy; decode; exe; memory; write back.
6. Chu trình lệnh MIPS (5): nạp; decode/nạp toán hạng; exe; memory; write back.

**CHƯƠNG 8 - HIỆU NĂNG**

1. CPU time: thời gian CPU xử lý chương trình (không bao gồm nhập xuất)
2. Wall clock time: thời gian tổng = bấm giờ.
3. CPI = Cycle Per Instruction
4. **Định luật Amdahl**: cải tiến a% máy tính/ch trình với hiệu năng x, speed up = 1 / [a/x + (100-a)] ;

Chương trình = 30% nâng cấp (factor = 2.0) + 70% không.

Speed up = 1 / ( 0.3/2 + 0.7) =

1. Clock rate: 2 GHz (xung nhịp/tần số)

thời gian 1 chu kỳ của CPU = 1/Rate ; 0.5 nano giây (ns)

1. FLOPS = floating point operations per second
2. **CPU time** = CPI \* #instruction \* cycle\_time.
   * CPI =2.2
   * Số lệnh = 1 triệu
   * CPU 2GHz

CPU Time = 2.2 \* 1000000 \* 0.5 nanogiay =

* *1 ch trình có CPI tăng lên a% và số câu lệnh giảm b%. Thời gian chạy thay đổi như thế nào?*

**CHƯƠNG 9 - MIPS**

1. Cấu trúc, ý nghĩa các lệnh MIPS: add, sub, addi, sll, slr, mult, li, la, j, lw, sw, bne, beq, slt, …
2. Đọc hiểu đoạn mã MIPS ngắn
3. Xác định lệnh thuộc loại nào: R (3 thanh ghi), I (2 thanh ghi + 1 số nguyên), J (jump)
4. Số lệnh tối đa có thể nhảy trong lệnh beq/bne? Số nguyên 16 bit → nhảy 2^15 lệnh.
5. Vùng nhớ lớn nhất có thể nhảy đến bằng lệnh j? 26 bit (bỏ 2 bit cuối) → 2^28 bytes = 256 MB.

**CHƯƠNG 10 - KIẾN TRÚC TẬP LỆNH**

* Thuật ngữ: ISA-Instruction Set Architecture (ví dụ ISA-32) , RISC-**Reduced** Instruction Set Computer , CISC- **Complex** ISC,
* 2 thành phần của 1 lệnh: mã lệnh, toán hạng (các thanh ghi, số nguyên)
* Lệnh MIPS dài bn bits? 32 bits
* Trong mỗi lệnh, cần chỉ ra rs, rd, rt
  + add $10, $9, $8
  + Rs = source - toán hạng 1
  + Rt = target - toán hạng 2
  + Rd = destination - kết quả
* Thanh ghi Program Counter
  + Sau khi lấy lệnh: PC = PC + 4 (với mọi lệnh khác nhảy)
  + Nếu là lệnh nhảy + đk nhảy đúng: **PC = PC + 4 + 4\*immediate**
  + Nếu là lệnh nhảy + đk nhảy sai: **PC = PC + 4 (4 bytes)**
  + beq $8, $9, **5 <--**immediate
* Vi xử lý MIPS có bao nhiêu thanh ghi? 32
* Lệnh R: opcode/rs/rt/rd/shamt/func code : 6-5-5-5-5-6
* Lệnh I: opcode / rs/rt/immediate : 6-5-5-16
* Lệnh J: opcode /address : 6-26

**CHƯƠNG 11: DATAPATH & CONTROL**

* Ý nghĩa các tín hiệu điều khiển.
* Giá trị các tín hiệu đầu vào
* Đường đi của dữ liệu

**CHƯƠNG 12: PIPELINE**

* Pipeline là gì và được tiến hành ra sao? Giúp ích gì cho hệ thống máy tính?
* Các thanh ghi thêm vào trong ống lệnh để làm gi?
* CPU single cycle
* CPU multi cycle
* CPU pipeline n-stage
* Phụ thuộc dữ liệu là gì?

Add $2, $3, $4

Sub $5, $2, $2

* Phụ thuộc điều khiển là gì?

Lw

…

…

add

* Các bt ví dụ trong slide.

**CHƯƠNG 13 - BỘ NHỚ CACHE**

* Thuật ngữ: SRAM, DRAM,
* Sắp xếp tốc độ tăng / giảm: HDD, RAM ,cache, thanh ghi, ….
* Sắp xếp dung lượng tăng / giảm: HDD, RAM ,cache, thanh ghi, ….
* Những mức cache: thanh ghi > Cache L1 > L2 > L3 > L4 (bỏ) > RAM
* Nguyên cục bộ theo (1) không gian, (2) thời gian.
* Volatile (không ổn định / bốc hơi): thanh ghi, cache, RAM.
* Non-volatile: HDD, flash disk, thẻ nhớ, ….
* Cache: HIT / MISS
  + Cold miss: không tìm thấy tại lần truy cập #1
  + Conflict miss: A - B - A -B -A …..
* Thuật ngữ: TLB
* 3 kỹ thuật ánh xạ:
  + Direct - trực tiếp
  + K-ways set associate
  + Fully associate
* EAT = %hit \* cache time + (1-%hit) \* RAM time

Estimate Access Time

Cache 10ns

Ram 100ns

Hit 30%

EAT = 0.3 \* 10 + 0.7 \* 100 = 73 ns

* Thuật ngữ : **virtual memory, page fault, page replacement, page table, bộ MMU**
* **Page replacement: FIFO, LRU.**